

JAPANESE [JP,09-213951,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device characterized by an interior angle with which it is the insulated-gate mold semiconductor device which has gate oxide and a gate electrode layer all over U slot, and which both the side wall sides that these U slots have two or more side wall sides which consist only of a field which has Miller indices of a low degree, and are adjoined of these two or more side wall sides intersect being 120 degrees or more.

[Claim 2] It is the semiconductor device characterized by being the insulated-gate mold semiconductor device which has gate oxide and a gate electrode layer all over U slot, and a side wall side of these U slots consisting of only {100} sides and {110} sides.

[Claim 3] Said U slot is a semiconductor device according to claim 2 which has a side wall side of eight sheets which consists of {100} sides and {110} sides which cross at an angle of 135 degrees mutually, and makes a channel field the surface of a ** {100} side and {110} sides.

[Claim 4] It is the semiconductor device according to claim 2 characterized by for said insulated-gate mold semiconductor device being an insulated-gate mold semiconductor device formed in a silicon substrate of a field bearing {100} side, and a side wall side of said U slot consisting of only {100} sides and {110} sides which intersect perpendicularly with a ** {100} side.

[Claim 5] Said insulated-gate mold semiconductor device is a semiconductor device according to claim 2 characterized by having a plane pattern which becomes the surroundings of one 4 square-shape cel from an unit cell which has arranged four 8 square-shape cels densely.

[Claim 6] A semiconductor device according to claim 4 characterized by forming a source field of the 1st conductivity type, and the 1st 2nd conductivity-type base region of the lower part of this source field only in the interior of said 8 square-shape cel, and not forming this source field in the interior of said 4 square-shape cel, but forming the 2nd 2nd conductivity-type base region.

[Claim 7] Said 2nd 2nd conductivity-type base region is a semiconductor device according to claim 6 characterized by being high impurity density rather than impurity density equivalent to said 1st 2nd conductivity-type base region, or said 1st 2nd conductivity-type base region.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the structure of insulated-gate mold semiconductor devices, such as a semiconductor device for power, especially vertical mold power metal-oxide semiconductor field effect transistor.

[0002]

[Description of the Prior Art] Although, as for power metal-oxide semiconductor field effect transistor, it has the features, like ease [a drive] and switching speed are quick as compared with a bipolar transistor and is used widely, improvement in the engine performance, such as reduction-izing of on resistance and improvement in the speed of switching speed, is advanced further. When the structure of power metal-oxide semiconductor field effect transistor is classified from a viewpoint of a current path, there are a vertical mold with which drain current flows perpendicularly to the element surface, and a horizontal type which flows in the concurrency direction. In the power metal-oxide semiconductor field effect transistor of the former vertical mold, since it becomes the structure of preparing a drain electrode all over the base side of an element, drain current will flow over the whole chip and can make on resistance small. On the other hand, in the latter horizontal-type power metal-oxide semiconductor field effect transistor, since it becomes the structure of preparing a drain electrode in the surface side of an element, the field where drain current flows is as narrow as at most several micrometers, and when the same chip area compares both, the former can hardly make on resistance small. If it is a horizontal type in case of a vertical mold, parallel connection of the cel transistor which constitutes an unit cell is carried out, and the order of tens of thousands - 100,000 - numbers constitutes it from an actual element so that a high current can be treated.

[0003] The power metal-oxide semiconductor field effect transistor called UMOS (U-grooved MOSFET) which embedded the polycrystalline silicon electrode 22 used as gate oxide 21 and a gate electrode at U Mizouchi as shows drawing 9 and drawing 10 also among vertical mold power metal-oxide semiconductor field effect transistor is excellent from the position of the formation of on resistance reduction. Drawing 10 is the cross section seen from [of drawing 9] B-B. It sets to drawing 10 and is n+. A substrate 31 is made into a drain field and it is n-. It is n- about an epitaxial layer 32. - A drift region, this n- n+ formed in the interior of the p base region 33 of the upper part of a drift region 32. The field 41 is made into the source field. Moreover, as shown in drawing 10, a trench (U slot) is dug from the surface, gate oxide 21 is formed in the surface, and the gate electrode 22 which consists of polish recon etc. so that the interior of U slot may be embedded is formed in the surface of gate oxide 21. Moreover, n+ The drain electrode 52 is formed all over the rear face of a substrate 31, and it is surface n+. It has the structure where the metal source electrode 51 was taken out through the predetermined contact hole from the source field 41.

[0004] It is n+ in order to operate UMOS of drawing 9 and drawing 10. What is necessary is just to impress positive voltage to the polish recon gate electrode 22 to the source field 41. Induction of the n form channel is carried out to the p base region (called p form body) 33 which adjoined gate oxide 21 by this, and it is n+. The source field 41 and n+ The drain field 31 connects too hastily and drain current flows.

[0005] On resistance is raised as most important property of power metal-oxide semiconductor field effect transistor. (3) n+ which many methods of reducing this on resistance are proposed conventionally, for example, enlarges gate width per unit area by detailed-izing of (1) cel transistor, and the device of geometry and which lowers contact resistance of an electrode metal by (2) silicide-ization. The reduction in resistance and n- of a substrate lamination, such as an epitaxial growth phase, -- resistance here -- they are methods, such as making it small. A plane pattern as shown in drawing 11 of SHIRIKONIKUSU (Siliconix) as UMOS which examined geometry of (1) especially is made into a hexagon, and the power metal-oxide semiconductor field effect transistor in which the trench was formed is known. It is the portion by which the portion by which black painting is carried out by drawing 11 is formed in space, and the trench is formed perpendicularly.

[0006] About detailed-izing of a cel pattern, channel width W per channel density, i.e., an unit area, is 2 67cm/mm by limit-size layout according to g line mask aligner the case of the stripe cel which can unify field bearing of U slot side wall side as shown in drawing 9. It is a limit. Because, it becomes layout with a lower limit [of 1 micrometer], and a doubling precision of 0.3 micrometers in this case, and is n+. Since about 0.5 micrometers of width of face of the stripe of a field 41 are needed, the gap of two adjoining trenches shown in drawing 9, i.e., the pitch of a trench, is because 3 micrometers becomes a limit.

[0007]

[Problem(s) to be Solved by the Invention] On the occasion of reduction-izing of on resistance mentioned above, reduction of channel resistance is the especially biggest technical problem in MOSFET of a low

pressure-proofing system. If channel resistance raises the channel density of MOSFET by detailed-izing and geometric examination which were mentioned above, until will improve effectively to some extent. In trench mold power metal-oxide semiconductor field effect transistor, such as UMOS, since the interior of a trench serves as a gate electrode, it is the point how the president of a university of channel width W which a trench has can be raised to the unit area of the FET field on a chip, and an FET cel can be formed. For example, since UMOSFET of SHIRIKONIKUSU shown in drawing 11 is a primitive cell with the trench of positive six square shapes, 12th [a total of] page of the external surface of six six-sided prisms and six insides of six rectangular pipes which counter constitutes the channel side of MOSFET. However, in face-centered cubic lattices, such as silicon, the symmetric property of a crystal to the {110} sides of channel side bearing which is formed in a trench side wall side in the case of the trench of positive six square shapes are $2/6$, and the channel side of a higt index will occupy the four sixths remaining. In order to accompany the trench side wall of a field with Miller indices high order as a problem on a manufacturing technology by the problem that surface roughness becomes large in addition to the mobility of the electron in a field with high order Miller indices being low, surface mobility is falling further. For this reason, in the case of 6 square-shape cel, the mobility of the electron of a channel field is very low, and they are $64\text{cm}^2 / \text{V-sec}$ degree in perpendicular effective electric-field 1 MV/cm of silicon (Si). even when this value is about $1/3$ value compared with mobility of $200\text{cm}^2 / \text{V-sec}$ at the time of using a field with Miller indices of a low degree, such as a field (100) and a field (110), as a channel, and is low and channel density is the same, channel resistance will increase 3 times. furthermore -- in order it is blunt as the elongation of the transfer admittance $Y_{sf} (1/R_{on})$ to gate voltage shows drawing 12 , and to acquire desired forward current -- gate voltage -- 10 -- it is [V or more] required and there was a problem that it was inapplicable as a device corresponding to logic with which a low-battery drive about gate voltage 4V is demanded.

[0008] Furthermore, there is high pressure-proofing-ization as an important property of power metal-oxide semiconductor field effect transistor. Therefore, in UMOSFET, an improvement of current concentration in the trench corner section is an important technical problem. Since gate electric field became strong by the gate oxide of each angle (corner section) of a trench pattern although the equilateral triangle, the positive quadrangle, and the positive hexagon are conventionally known as the plane pattern configuration when forming a trench in an FET field in UMOS, V_{th} fell in the corner section which forms the polygon, and there was a problem that the bias of channel current occurred. Drawing 7 is the mimetic diagram showing current concentration of UMOS which has the trench cel of positive four square shapes (mesh type plane pattern). Although drawing 7 (b) is the enlarged view of the corner section shown by O mark of drawing 7 (a), when predetermined-gate voltage V_G is impressed, it turns out that concentration of gate electric field starts in the corner section of the silicon used as the p base region 33 shown by O mark wrapped in the gate oxide 21 of the lower part of the polish recon gate electrode 22, V_{th} falls, and current concentration occurs.

[0009] In view of the trouble mentioned above, the mobility of this invention of the electron in the channel side constituted by U slot side wall of insulated-gate mold semiconductor devices, such as UMOS or IGBT with U slot, is high, and it aims at offering the new structure of the low semiconductor device for power of on resistance.

[0010] Other purposes of this invention are offering the semiconductor device for power of the new structure which can control current concentration of the trench (U slot) corner section of insulated-gate semiconductor devices, such as UMOS.

[0011]

[Means for Solving the Problem] The 1st feature of a semiconductor device according to this invention in order to attain the above-mentioned purpose is insulated-gate mold semiconductor devices, such as UMOS which has gate oxide and a gate electrode layer all over U slot, and U slot is that an interior angle which both the side wall sides that it has two or more side wall sides which consist only of a field which has Miller indices of a low degree, and are adjoined of two or more of these side wall sides intersect is 120 degrees or more. A wafer maker supplies a field which has Miller indices of the low degree in here as a reference standard, it means {100} sides which are generally used with various semiconductor devices, {110} sides, {111} sides, etc., and a field which has high order Miller indices means {332} sides other than these, {411} sides, {911} sides, etc. Moreover, in 120 degrees or more, an interior angle which both side wall sides intersect means a case so that it may become the angle of an interior angle of a polygon of six or more square shapes of positive which does not contain in the case of 120 degrees (i.e., a case of positive six square shapes).

[0012] moreover -- this invention -- depending -- a semiconductor device -- the -- two -- the feature -- a semiconductor -- a substrate -- the surface -- forming -- having had -- U -- a slot -- inside -- gate oxide -- the gate -- an electrode -- a layer -- having -- the insulated gate -- a mold -- a semiconductor device -- it is -- U -- a slot -- a side wall -- a field -- an electron -- mobility -- being big -- { -- 100 -- } -- a field -- and -- { -- 110 -- } -- a field -- from -- constituting -- having -- an electron -- mobility -- being small -- being high order -- Miller indices -- having had -- a field -- containing -- not having -- things -- it is . Thus, -izing of channel resistance, i.e., the on resistance, can be carried out [****] by constituting U slot only from a large field of electron mobility.

[0013] Preferably, U slot in which the gate is formed as shown in drawing 1 is having a side wall side of eight sheets which consists of {100} sides and {110} sides which cross at an angle of 135 degrees mutually, and making the surface of this {100} side and {110} sides into a channel field. The <100> directions which intersect perpendicularly with {100} sides, and the <110> directions which intersect perpendicularly with {110} sides were shown in drawing 1 . Drawing 8 shows relation of an angle (angle of a crossing interior angle) which two side wall sides where the trench corner section which forms U slot adjoins form, and the

maximum field strength of the corner section. Although an axis of ordinate of drawing 8 is standardized with plane section field strength, field strength is eased as a pattern of U slot serves as 3 square-shape → 4 square-shape → 6 square shape, by carrying out to 120 degrees or more, i.e., 135 degrees of eight square shape patterns, field strength of the corner section falls further, a fall of V_{th} in the corner section is controlled, and current concentration of an insulated-gate mold semiconductor device is eased. In addition, by whether an angle is measured by side in which a gate insulator layer of U slot is formed in this case, or an angle is measured by silicon side of U slot, although there is how to measure 135 degrees, 360 degree-135 degree=225 degree, and two angles, as long as you are the interior angle of eight square shapes substantially, suppose that it will be called 135 degrees from now on by this invention.

[0014] Preferably, an insulated-gate mold semiconductor device is an insulated-gate mold semiconductor device formed in a silicon substrate of a field bearing {100} side, and a side wall side of U slot is consisting of only {100} sides and {110} sides which intersect perpendicularly with {100} sides on the surface of a substrate.

[0015] Moreover, preferably, as shown in drawing 1, an insulated-gate mold semiconductor device is having a plane pattern which becomes the surroundings of one 4 square-shape cel from an unit cell which has arranged four 8 square-shape cels densely. According to the desired operating current, hundreds of thousands of several 1000- repeats of this unit cell will be arranged in fact.

[0016] It is that the 2nd 2nd conductivity-type base region 34 is formed without forming a source field of the 1st conductivity type, and the 1st 2nd conductivity-type base region 33 of the lower part of this source field 41 only in the interior of 8 square-shape cel still more preferably as shown in drawing 1 and drawing 2, and forming a source field in the interior of 4 square-shape cel. When a source field is not more preferably formed in 4 square-shape cel, it is that the 2nd 2nd electric conduction base region 37 of high impurity density is further formed in 4 square-shape cel from impurity density equivalent to the 1st 2nd conductivity-type base region 33 where the U slot side wall serves as a channel field, or the 1st 2nd conductivity-type base region 33 as shown in drawing 4. By making it such a configuration, electric-field concentration at the trench pars basilaris occipitalis is eased, and high pressure-proofing-ization of insulated-gate mold semiconductor devices, such as UMOS, is attained. Although the 1st conductivity type means n mold and the 2nd conductivity type means a different p mold from the 1st conductivity type here, of course, p and n may completely be made into reverse.

[0017]

[A gestalt of the actual condition of invention] Hereafter, a gestalt of operation of this invention is explained with reference to a drawing. Drawing 1 is the plan of UMOS concerning a gestalt of operation of the 1st of this invention, and drawing 2 is the cross section of the direction of A-A of drawing 1. UMOS which starts a gestalt of operation of the 1st of this invention as shown in drawing 1 has a compound polygon cel pattern with which one side combined 2-micrometer 8 square-shape cel and a square cel surrounded by this 8 square-shape cel. The vertical side is {100} sides at space of a square cel, therefore trench side wall sides of 8 square-shape cel which countered a square cel are {100} sides. A trench side wall which does not counter a square cel of 8 square-shape cel, i.e., a field where adjoining 8 square shapes counter, is {110} sides. Although drawing 1 shows a pattern with which four 8 square-shape cels have been arranged around one square cel, this is an unit cell pattern and a majority of these unit cell patterns will be repeated according to a current value of requests, such as tens of thousands of - hundreds of thousands of pieces, in practice. Therefore, if its attention is paid to one 8 square-shape cel, four square cels and four 8 square-shape cels will be arranged around one 8 square-shape cel. channel density of a pattern of drawing 1, i.e., channel width W per unit area, -- 81cm/mm² a stripe cel which it became and was shown in drawing 9 -- 67cm/mm² it is -- channel density is improving as compared with a thing. In addition, 45 degrees of plane patterns of drawing 1 are rotated, and it is good also considering a side wall side of U slot of a square cel as {110} sides.

[0018] Drawing 2 is the cross section of UMOS concerning a gestalt of operation of the 1st of this invention seen from [of drawing 1] A-A, and also shows a metal electrode 51 and 52 grades which are omitted by drawing 1. It sets to drawing 2 and is n+. n+ which a substrate 31 was made into a drain field and the n epitaxial growth phase 32 with a thickness of 5-30 micrometers was formed on it, and became n drift region and was formed in the interior of the p base region 33 on it A field 41 is made into a source field. What is necessary is just to determine thickness of n epitaxial growth phase according to desired on resistance and switching speed. Moreover, U slot with a depth [of 3 micrometers] and a width of face of 0.6-0.8 micrometers is formed from the surface, gate oxide 21 with a thickness of 50-100nm is formed in the surface, and the gate electrode 22 which consists of polish recon etc. so that the interior of U slot may be embedded is formed. moreover, n+ the drain electrode 52 forms all over a rear face of a substrate 31 -- having -- SiO₂ of the surface etc. -- a contact hole formed in an insulator layer 29 -- minding -- n+ It has structure where the metal source electrode 51 was taken out from the source field 41. Although illustration is omitted, in a layout of the whole chip with which many unit cell patterns as shown in drawing 1 were repeated, extended formation of the trench for gate electrode ejection is further carried out toward a periphery from U slot of outermost 8 square-shape cel among 8 square-shape cels which constitute an unit cell arranged at a layout periphery, and it is led to the gate bonding pad section through polish recon wiring inside this trench for gate electrode drawing. in addition -- a case where gate resistance of the polish recon gate electrode 22 poses a problem -- refractory metals [doped polysilicon / (DOPOS)], such as W, Mo, and Ti, or WSi₂, MoSi₂, and TiSi₂ etc. -- silicide [like] is more desirable. Or bipolar membrane of DOPOS and silicide, i.e., a polycide, is sufficient. In addition, although illustration of a periphery of a pellet is omitted, a pellet periphery should just use well-known cementation termination technology. For example, it is n+ to the

pellet circumference. Diffusion layers, such as a guard ring, may be formed, metal patterns, such as a field plate (equipotential plate), may be formed on it, and beveled structure may be used.

[0019] Actuation of UMOS concerning a gestalt of operation of the 1st of this invention shown in drawing 1 and drawing 2 is the almost same actuation as the usual UMOS. Therefore, surface level of an interface of impurity density of the p base region 33, thickness, and the p base region 33 and U slot can constitute either an enhancement type or a depletion type. If an enhancement type explains, by impressing electropositive potential to the embedding gate electrode 22, n channels will be formed near the surface which consists of {100} sides of U slot formed so that p base layer 33 might be penetrated, and {110} sides, and the turn-on of the UMOS of this invention will be carried out. That is, an electron beyond potential barrier in n channels is poured into the n drift region 32. An electron poured in by high electric field in the n drift region 32 carries out drift transit, and is n^+ . It arrives at the drain field 31. What is necessary is just to make the p base region 33 sufficiently thin for high frequency operation. n^+ UMOS shown in drawing 1 and drawing 2 when field strength from the drain field 31 came to have controlled height of potential barrier in n channels of the surface of the p base region 33 becomes actuation of a static induction transistor (SIT), and is ID-VD. A property changes from a saturation mold to a partial saturation mold.

[0020] According to the gestalt of operation of the 1st of this invention, average mobility of a channel in effective electric-field 1 MV/cm on the surface of Si serves as $200\text{cm}^2/\text{V}\cdot\text{sec}$. Moreover, as a transfer admittance Y_{fs} property is also shown in drawing 3, it improves. Drawing 3 is standardized so that transfer admittance of each UMOS to compare may become the same $V_G = 10\text{V}$. Therefore, if improvement in channel density mentioned above is taken into consideration, the transfer admittance Y_{fs} per same chip area will become larger than U-MOSFET of a field (100). Moreover, since an angle of a corner section interior angle of 8 square-shape cel becomes 135 degrees, electric-field concentration in the corner section is lost, therefore a fall and current concentration of V_{th} are lost.

[0021] Manufacture **** of UMOS concerning a gestalt of operation of the 1st of this invention is good at the following manufacturing processes.

[0022] (a) It is n^+ of impurity density $n = 2 \times 10^{18} - 1 \times 10^{19}\text{cm}^{-3}$ first. n layer 32 of impurity density $n = 5 \times 10^{12} - 5 \times 10^{15}\text{cm}^{-3}$ is grown epitaxially in thickness of five to 30 micrometer on a substrate 31 (in a fixed case). instead of [of n layer 32] -- p- of $p = 5 \times 10^{12} - 10^{15}\text{cm}^{-3}$ A layer is sufficient. In the case of Si, this continuation epitaxial growth is SiCl_4 , SiHCl_3 , and SiH_2Cl_2 . What is necessary is just to use vapor phase epitaxial growth by hydrogen etc. SiH_4 A pyrolysis reaction may be used. Next, selective diffusion of the p base regions 33 and 34 of impurity density $2 \times 10^{16} - 1 \times 10^{18}\text{cm}^{-3}$ is carried out in a diffusion depth of 2-3 micrometers using the technique of a photolithography. Selective diffusion uses a photoresist or an oxide film (SiO_2 film) as a mask, and is 11B^+ . An ion implantation may be performed by acceleration voltage $V_{ac} = 50\text{keV} - 100\text{keV}$ and dose $\phi = 5 \times 10^{12} - 2 \times 10^{14}\text{cm}^{-2}$, and spreading diffusion and diffusion from a gaseous phase may be used. In addition, although selective diffusion may be carried out after forming a thick insulator layer in the epitaxial layer surface around a device field (active region) on which formation of eight square shape patterns etc. is planned as field oxide, and forming an oxide film thinner than field oxide etc. only in a device field as long as there is necessity, a formation production process of field oxide can also be omitted depending on the case. Field oxide of formation **** is good by well-known methods, such as the LOCOS method. Anyway, a 100-350nm oxide film is formed in the surface after the p base region 33 and 34 formation.

[0023] (b) With the usual photolithography technology in which a photoresist was used next, carry out etching removal of the predetermined portion of an oxide film, form an aperture which consists of a pattern based on a complex pattern which consists of eight square shapes and four square shapes as shown in drawing 1 into an oxide film, and remove this photoresist after oxide-film etching. Next, as a mask, trench etching of this oxide film is carried out at a depth of 3 micrometers, for example until it penetrates the p base region 33 for the epitaxial growth phase 32. Trench etching (U slot etching) should just use dry etching such as reactive ion etching (RIE). That is, it is CF_4 about the n epitaxial growth phase 32. H_2 Using mixed gas, it adjusts to an etching pressure of 1.3Pa, and is 13.56MHz high-frequency power $0.22\text{W}/\text{cm}^2$ What is necessary is just to perform RIE in addition. SF_6 and O_2 Mixed gas or CCl_4 , SiCl_4 , and PCl_3 etc. -- RIE may be performed. [or] When an aspect ratio is large U slot, it is also effective to cool and etch a substrate into -50 degrees C -- -150 degrees C.

[0024] (c) Next, sacrifice oxidation and after removing a wet dirty or according to U slot etching by vapor etching processing damage layer, as shown in drawing 2, form 30nm - 100nm gate oxide 21 in U slot surface. then -- for example, doped polysilicon (it is called Following DOPOS) containing phosphorus (P) -- reduced pressure CVD (LPCVD) -- if it deposits by law etc. and U slot is filled completely, flattening of the surface is carried out with etchback etc., the embedding gate electrode 22 is formed and there is necessity, that surface will be oxidized further. The so-called chemical mechanical polishing (referred to as CMP after Chemical Mechanical Polishing;) may be used for flattening. Although the n mold DOPOS may be used, the p mold DOPOS is better for raising an enhancement property. as mentioned above, in order to lower gate resistance -- refractory metals, such as W, Mo, and Ti, or WSi_2 , MoSi_2 , and TiSi_2 etc. -- silicide or the polycide using the p mold DOPOS is [like] more desirable. Although a refractory metal can be deposited also in vacuum evaporation and a sputter, the selection CVD (plug) by CVD method, especially reduced pressure CVD method (LPCVD law) is desirable. the time of flattening -- the surface of the n epitaxial layer 33 -- **** -- you may make it a scaling film remain thinly

[0025] (d) SURAITO dirty [of this scaling film] is carried out, and the n epitaxial growth phase 33 is exposed -- making -- a photolithography -- using -- for example, a photoresist -- a mask -- carrying out -- $75\text{As}(\text{es})^+$ and 31P^+ etc. -- an ion implantation is carried out to a location which should be made a

source field. It is 11B+, using a photoresist etc. as a mask similarly. An ion implantation is alternatively carried out by dose $\phi=3 \times 10^{15} - 2 \times 10^{16} \text{cm}^{-2}$, and it is p+. The contact field 35 is formed. It anneals about 15 to 30 minutes at 800–1000 degrees C after that, and an ion-implantation layer is activated.

[0026] (e) a degree -- ordinary pressure CVD (APCVD) or LPCVD -- law etc. -- SiO₂ A film or SiO₂ Bipolar membrane of a film and a PSG film, or SiO₂ The bipolar membrane 29 (such SiO₂ films and bipolar membrane are named generically below, and it is SiO₂ it is called a film 29) of a film and a BPSG film is formed in the surface of the n epitaxial growth phase 32 at thickness of 300–500nm.

[0027] (f) Next, it is the above SiO₂ by photolithography technology. A predetermined portion 33, i.e., p base region, and predetermined n+ of a film 29 An intersection and p+ with the source field 41 A contact hole is punctured in the contact field upper part. a contact hole opening -- C3F8 Or CHF3 etc. -- RIE and ECR (Electron Cyclotron Resonance) ion which were used -- what is necessary is just to carry out therefore dirtily

[0028] (g) Deposit on a degree at a contact hole aperture, and deposit metals, such as aluminum, aluminum-Si, aluminum-Cu-Si, aluminum/Ti, and aluminum/Mo, on the whole surface with vacuum evaporation, a sputter, a CVD method, etc. at thickness of 0.5–4 micrometers. If a photolithography, RIE, etc. perform pattern formation of a metal electrode after that and metals, such as W, aluminum/Mo, or aluminum-Si, are further deposited on a rear face similarly As shown in drawing 2, the metal drain electrode 52 and the metal source electrode 51 are formed, and a semiconductor device concerning a gestalt of operation of the 1st of this invention is completed.

[0029] Drawing 4 is the plan of UMOS concerning the 2nd operation gestalt of this invention. It is p+ deeper than the p base region 33 of 8 square-shape cel although it is the same as that of a gestalt of the 1st operation of this invention inside a square cel in a gestalt of operation of the 2nd of this invention that it is the combination which consists of a 8 square-shape cel and a square cel. Base regions 37 and 38 are formed. In addition, p+ A field 38 is p+ in a case of embedding, although explanation of a manufacture method is described later, and being based on epitaxy. An embedding field is expressed and it is p+ substantially. You may consider a base region 37 and a field of one. It sets to drawing 4 and is p+ of impurity density $2 \times 10^{18} - 1 \times 10^{20} \text{cm}^{-3}$ in the center-section upper part of the p base region 33. The contact field 36 is formed and ohmic contact of the source metal electrode 51 to the p base region 33 is made better (however, p+ the contact field 36 may be omitted). p+ Although impurity density of base regions 37 and 38 may be comparable as the p base region 33, it forms about $[1 \times 10^{18} \text{ to } 6 \times 10^{19} \text{cm}^{-3}]$ in three rather than the p base region 33 preferably at high impurity density. In a gestalt of operation of the 2nd of this invention, the p+ base regions-37 and 38 are deeper than the p base region-33, for example, it is p+ to a depth of 2.5–3 micrometers of p base region. Base regions 37 and 38 are formed in a depth of 2.5–3 micrometers.

[0030] According to the gestalt of operation of the 2nd of this invention, concentration of the drain / source electric field in a trench pars basilaris ossis occipitalis is suppressed, and high pressure-proofing-ization is attained.

[0031] What is necessary is just to make UMOS concerning a gestalt of operation of the 2nd of this invention into the following manufacturing processes.

[0032] (a) First carry out 5–30micrometer epitaxial growth of n layer 32 of impurity density $n=5 \times 10^{12} - 1 \times 10^{15} \text{cm}^{-3}$ on the n substrate 31 of impurity density $n=2 \times 10^{18} - 1 \times 10^{19} \text{cm}^{-3}$. This continuation epitaxial growth is Si two H₆. SiH₄ A pyrolysis or SiCl₄, SiHCl₃, and SiH₂ Cl₂ What is necessary is just to use vapor phase epitaxial growth by reaction with hydrogen. Next, the technique of a photolithography is used and it is 11B+ alternatively only into 4 square-shape cel portion. An ion implantation is carried out. For example, what is necessary is just to carry out an ion implantation by acceleration voltage Vac=200keV – 1.5MeV and dose $\phi=1 \times 10^{15} - 2 \times 10^{16} \text{cm}^{-2}$. 11B+ in Vac=1.5MeV Projection range RP It is set to about 2.4 micrometers. It is 11B+ near projection range RP =1.5 micrometer at a Vac=750keV degree preferably. What is necessary is to carry out an ion implantation and just to carry out heat treatment at 1150 degrees C after that for 3 hours.

[0033] (b) Next use a photolithography again and carry out selective diffusion of the p base region 33 of impurity density $2 \times 10^{16} - 1 \times 10^{18} \text{cm}^{-3}$ to a portion of 8 square-shape cel in a diffusion depth of 2–3 micrometers. At this time, it may be spread also in 4 square-shape cel section at coincidence. Selective diffusion is 11B+. An ion implantation may be performed by acceleration voltage Vac=50keV – 100keV and dose $\phi=5 \times 10^{12} - 2 \times 10^{14} \text{cm}^{-2}$, and spreading diffusion and diffusion from a gaseous phase may be used. In addition, if there is necessity, after forming 0.6–1.5-micrometer field oxide in the surrounding epitaxial layer surface of a device field where formation of eight square shape patterns etc. is planned, an oxide film used as a mask of selective diffusion thinner than field oxide may be formed only in a device field. For example, it should just carry out selective diffusion, using a 300–400nm oxide film as a mask. If annealing after an ion implantation is performed by oxidizing atmosphere, a 100–350nm oxide film will be formed in the surface of the epitaxial growth phase 32 in which the p base region 33 and the p base region 37 were formed.

[0034] (c) With the usual photolithography technology in which a photoresist was used next, form an aperture on the basis of a complex pattern which consists of eight square shapes and four square shapes as carried out etching removal of the predetermined portion of the above-mentioned 100–350nm oxide film and shown in drawing 1 into this oxide film, and then remove this photoresist. Furthermore, U slot etching is carried out in a depth of 3 micrometers until it penetrates [an oxide film] the p base region 33 for the epitaxial growth phase 32 as a mask. etching -- for example, CF₄ H₂ Mixed gas and SF₆ O₂ Mixed gas, CCl₄ SiCl₄, and PCI₃ etc. -- what is necessary is just to perform RIE When an aspect ratio is large U slot, it is also effective to cool and etch a substrate into –50 degrees C – –150 degrees C.

[0035] (d) Next, sacrifice oxidation and after removing a wet dirty or according to U slot etching by vapor

etching processing damage layer, as shown in drawing 4, form 30nm – 100nm gate oxide 21 in U slot surface. then -- for example, DOPOS containing phosphorus (P) -- reduced pressure CVD (LPCVD) -- it deposits by law etc., U slot is filled completely, flattening of the surface is carried out with etchback etc., and the embedding gate electrode 22 is formed. If there is necessity, the surface will be oxidized further. Flattening may use the so-called CMP. Although the n mold DOPOS may be used, the p mold DOPOS is better for raising an enhancement property. moreover -- in order to lower gate resistance -- refractory metals, such as W, Mo, and Ti, or WSi_2 , $MoSi_2$, $TiSi_2$, $CoSi_2$, and $PtSi_2$ etc. -- silicide [like] and the polycide are more desirable. Although a refractory metal can be deposited also in vacuum evaporation and a spatter, the selection CVD (plug) by CVD method, especially reduced pressure CVD method (LPCVD law) is desirable. the time of flattening -- the surface of the n epitaxial layer 33 -- **** -- it is desirable to make it a scaling film remain thinly.

[0036] (e) SURAITO dirty [of this scaling film] is carried out, and the n epitaxial growth phase 33 is exposed -- making -- a photolithography -- using -- as for example, a photoresist mask -- 75A+ and 31P+ etc. -- an ion implantation is carried out to a location which should be made a source field. It is 11B+, using a photoresist etc. as a mask similarly. An ion implantation is alternatively carried out by dose $\phi=3 \times 10^{15} - 2 \times 10^{16} \text{cm}^{-2}$, and it is p+. The contact field 36 is formed. It anneals about 15 to 30 minutes at 800–1000 degrees C after that, and an ion-implantation layer is activated.

[0037] (f) Next, it is SiO_2 by ordinary pressure or reduced pressure CVD method. A film 29 is formed in the surface of the n epitaxial growth phase 32 at thickness of 300–500nm.

[0038] (g) Next, it is the above SiO_2 by photolithography technology. A predetermined portion 33, i.e., p base region, and predetermined n+ of a film 29 An intersection and p+ with the source field 41 A contact hole is punctured in the upper part of a base region 37. a contact hole opening -- C three F8 Or CHF3 etc. -- RIE and ECR ion which were used -- what is necessary is just to carry out therefore dirtily

[0039] (h) If it deposits on a degree at a contact hole aperture, and metals, such as aluminum, aluminum-Si, aluminum/Ti, and aluminum/Mo, are deposited on the whole surface with vacuum evaporation, a spatter, a CVD method, etc. at thickness of 0.5–4 micrometers, a photolithography, RIE, etc. perform pattern formation of a metal electrode after that and a metal is further deposited on a rear face similarly, as shown in drawing 4, the metal drain electrode 52 and the metal source electrode 51 will be formed, and a semiconductor device of this invention will be completed.

[0040] In addition, it sets to the above explanation and is deep p+. It is p+ although a case where a base region 37 was formed by high energy ion injection of $Vac=200\text{keV}-1.5\text{MeV}$ was explained. It is p+, when a base region 37 is still deeper, or when a damage accompanying high energy-ion injection poses a problem. It is good also by embedding epitaxy of a field. Namely, p+ which became a convex configuration as n epitaxial growth was once stopped on the way and it was shown in drawing 4 It is about [1×10^{18} to $1 \times 10^{19} \text{cm}^{-3}$] three p+ to a portion of a pars basilaris ossis occipitalis of a base region 37. What is necessary is to form the embedding field 38 and just to perform n epitaxial growth continuously further. And p+ after completing the n epitaxial growth phase 32 An ion implantation etc. is used from the upper part of the n epitaxial growth phase 32 of a location applicable to the embedding field 38, and it is p+. It is spread and is this p+. A diffusor layer 37 and p+ You may make it connect the embedding field 38.

[0041] Drawing 5 is the plan of UMOS concerning a gestalt of operation of the 3rd of this invention. eight -- a square shape -- a cel -- a square -- a cel -- becoming -- combination -- it is -- things -- this invention -- the -- one -- and -- the -- two -- operation -- a gestalt -- being the same -- although -- this invention -- the -- three -- operation -- a gestalt -- setting -- a trench -- the section -- making -- eight -- square shapes -- the side -- constituting -- { -- 100 -- } -- a field -- { -- 110 -- } -- a field -- large -- carrying out -- **** -- a point -- differing . By making large area of bigger {100} sides than that of mobility, mobility of an electron (it is synthetic) as the whole becomes large, and on resistance is compared with a gestalt of the 1st and operation of the 2nd of this invention, and serves as a still smaller value. Since a manufacture method of UMOS concerning a gestalt of operation of the 3rd of this invention is the same as that of a case of a gestalt of the 1st and the 2nd operation, explanation is omitted here.

[0042] This invention is applicable not only to MOSFET but other semiconductor devices. Drawing 6 shows a cross section of IGBT of a vertical mold concerning a gestalt of operation of the 4th of this invention. It sets to drawing 6 and is n+ to p+ collector field 61. A buffer layer 62 is formed and it is n with a thickness of low impurity density] of 30–150 micrometers on it further. – A base region 63 is formed and they are the p base region 33 and p+ to the upper part. A base region 37 is formed. n– U slot with a width of face [of 0.6–0.8 micrometers] and a depth of 3 micrometers is formed from the surface of a base region 63, and about 50–100nm thin gate oxide 21 is formed in a pars basilaris ossis occipitalis and the side wall section. The embedding gate electrode 22 which consists of polish recon etc. is formed in the surface of this thin gate oxide 21. In the surface of the p base region 33, it is n+. An emitter region 64 is formed and they are the p base region 33 and n+. The metal emitter electrode 71 is formed so that an emitter region 64 may be short-circuited. Moreover, in the surface of the p base region 33, it is p+. The contact field 36 is formed. In addition, a portion corresponding to a quadrangle cel in a center section of drawing 6 -- it is -- deep p+ although a base region 37 is formed -- a gestalt of operation of the 1st of this invention -- the same -- the depth of p base region of 8 square-shape cel and 4 square-shape cel -- being the same . Whether p base region of 4 square-shape cel is made deep is that what is necessary is just to determine in consideration of pressure-proofing and a manufacturing cost of IGBT. Moreover, p+ A metal collector electrode is prepared in the surface of the collector field 61.

[0043] Next, actuation of IGBT concerning a gestalt of operation of the 4th of this invention is explained. The metal emitter electrode 71 is grounded and a turn-on of IGBT is realized by impressing positive voltage

to the polish recon gate electrode 22 to the metal emitter electrode 71, where positive voltage is impressed to the metal collector electrode 72. When positive voltage is impressed to the polish recon gate electrode 22, a reversal channel is formed in the surface of {100} sides of U slot side wall of p mold base region 33, and {110} sides like MOSFET, and it is n+. It lets a reversal channel pass from an emitter region 64, and is n-. An electron pours in into a base region 63. On the other hand, p+ The collector field 61 to n+ Impregnation of a hole takes place into a base region 63 through a buffer layer 62, and it is p+. The collector field 61 and n- Pn junction of a base region 63 will be in a forward bias condition, and is n-. A base region 63 leads conductivity modulation to a lifting, and leads an element to switch-on. n which is high resistance as mentioned above in an ON state of IGBT - Since a base region 63 produces conductivity modulation, the resistance component becomes very small. Therefore, n- Even if impurity density of a base region 63 is low and is a high resisting pressure element with thick thickness, the very small property of on resistance is acquired. On the other hand, a turn-off of IGBT is realized by impressing negative voltage to the polish recon gate electrode 22 to the emitter electrode 71. A reversal channel formed in {100} sides of U slot and {110} sides when negative voltage was impressed to the polish recon gate electrode 22 disappears, and is n+. An inflow of an electron from an emitter region 64 stops. However, n- In a base region 63, an electron still exists. n- Most holes accumulated into a base region 63 pass along the p base region 33, and it is n+. A part is n although it flows into an emitter region 64. - It recombines with an electron which exists in a base region 63, and disappears. n- When all of a hole and an electron which were accumulated into a base region 63 disappear, an element will be in an inhibition condition and a turn-off of IGBT will complete it.

[0044] At drawing 6, it is n+. Although IGBT in which a buffer layer 62 was formed is shown, it is n+ when high pressure-proofing is unnecessary. A buffer layer 62 may omit. Moreover, of course, it is applicable to other insulated-gate mold semiconductor devices, such as other IGBT(s), such as the collector short mold IGBT and the shot key drain contact IGBT, and EST other than IGBT (Emitter Switched Thristor), MCT (MOS Controlled Thyristor).

[0045] In addition, although a gestalt of each above operation explained n channel mold semiconductor devices, such as the n channel mold UMOS and the n channel mold IGBT, a conductivity type is made into reverse and, of course, it is good also as a p channel mold. Moreover, although a gestalt of each operation of above-mentioned this invention attached and explained to UMOS and IGBT Insulated-gate mold semiconductor devices other than this, for example, BRT, (Base Resistance Controlled Thyristor) MAGT (MOS Assisted GateTriggerde Thyristor), DMT (Depletion Mode-Thyristor), Of course, SI thyristor (SITH) can also be applied to MCSITH (Mos Controlled SITH) which carried out the MOS drive or other MOS thyristors, MOSGTO, etc. For example, although MAGT is an MOS-compound semiconductor device with two control terminals, the base for a current drive, and the MOS gate, as indicated by the 277th page in 1990 of a proceeding OBUZA insertion sequence PS day (Proc. ISPSD) etc. at details, it will be understood easily that this invention is applicable. Moreover, if it can apply to various kinds of semiconductor devices using a semiconductor substrate which does not need to limit to Si device, in addition has a cubic form and a power MOS device is constituted from alpha-SiC, also especially in an elevated temperature 600 degrees C or more, a power device of a large area and a high current which can operate will be realized. Moreover, SiO2 formed in a semiconductor device of insulated-gate structure and the surface of InP by GaAs-GaAlAs heterojunction Of course, it is also applicable to other insulated-gate mold semiconductor devices, such as an MOS semiconductor device by film.

[0046]

[Effect of the Invention] According to this invention, since mobility of the electron in the channel in the trench (U slot) of insulated-gate mold semiconductor devices, such as UMOS, can be enlarged, on resistance is reduction-ized and the high-speed switching of a flow loss is attained small.

[0047] Since the angle of the interior angle of the trench corner section is still as larger as 135 degrees according to this invention, electric-field concentration in the corner section is controlled, and it is hard coming to generate current concentration, therefore a raise in pressure-proofing of insulated-gate mold semiconductor devices, such as power metal-oxide semiconductor field effect transistor, and high current-ization become easy.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the plan of UMOS concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the cross section of UMOS concerning the gestalt of operation of the 1st of this invention.

[Drawing 3] It is drawing showing the forward characteristic of UMOS concerning the gestalt of operation of the 1st of this invention.

[Drawing 4] It is the cross section of UMOS concerning the gestalt of operation of the 2nd of this invention.

[Drawing 5] It is the plan of UMOS concerning the gestalt of operation of the 3rd of this invention.

[Drawing 6] It is the cross section of IGBT concerning the gestalt of operation of the 4th of this invention.

[Drawing 7] It is drawing explaining current concentration of the trench corner section.

[Drawing 8] It is drawing showing the relation between the angle of a trench corner, and the field strength of this corner section.

[Drawing 9] It is the plan of the conventional stripe cel mold UMOS.

[Drawing 10] It is the cross section of the conventional stripe cel mold UMOS shown in drawing 9.

[Drawing 11] It is the plan of the conventional 6 square-shape cel.

[Drawing 12] It is drawing showing the relation between the gate voltage of the conventional UMOS, and transfer admittance.

[Description of Notations]

21 Gate Oxide

22 Polish-Recon-Gate-Electrode

29 Field Oxide

31 N+ Substrate (N+ Drain Field)

32 N Epitaxial Growth Phase (N Drift Region)

33 P Base Region

34 P Field

35 36 p+ Contact field

37 P+ Field

38 P+ Embedding Field

41 N+ Source Field

51 Source Metal Electrode

52 Drain Metal Electrode

61 P+ Substrate (P+ Collector Field)

62 N Buffer Layer

63 N - Base Region

64 N+ Emitter Region

71 Emitter Metal Electrode

72 Collector Metal Electrode

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-213951

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9447-4M	H 0 1 L 29/78	6 5 3 A
		9447-4M		6 5 2 F
		9447-4M		6 5 2 T
		9447-4M		6 5 5 A

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平8-14391

(22) 出願日 平成8年(1996)1月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 馬場 嘉朗

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(72) 発明者 大澤 明彦

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

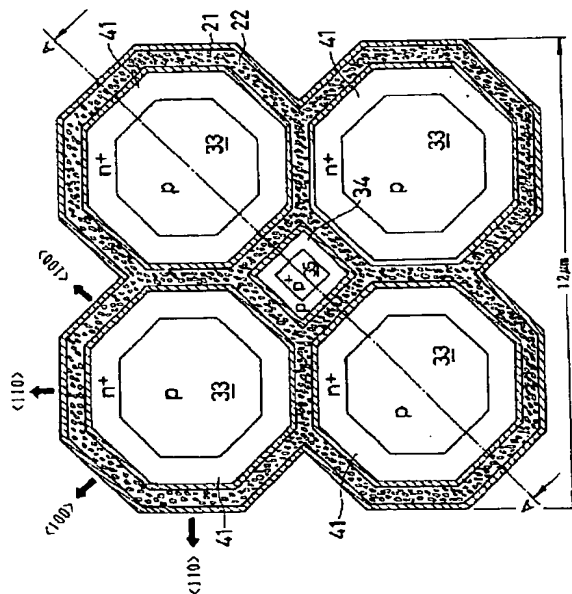
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 オン電圧およびオン抵抗が小さく、しかもトレンチコーナー部の電流集中の抑制されたU溝(トレンチ)を有した絶縁ゲート型半導体装置を実現する。

【解決手段】 トレンチ側壁の面方位が{100}面、およびこの{100}面と135°の角をなす{110}面のみからなるU溝を有した絶縁ゲート型半導体装置であって、その平面パターンは八角形セルと、この八角形セルに囲まれた正方形セルからなる複合セルを基本とするパターンであり、このU溝中にゲート酸化膜、およびゲート電極を構成する。



【特許請求の範囲】

【請求項1】 U溝中にゲート酸化膜とゲート電極層とを有する絶縁ゲート型半導体装置であって、
該U溝は低次のミラー指数を有する面のみからなる複数の側壁面を有し、
該複数の側壁面のうちの、隣接する側壁面相互の交叉する内角が 120° 以上であることを特徴とする半導体装置。

【請求項2】 U溝中にゲート酸化膜とゲート電極層とを有する絶縁ゲート型半導体装置であって、
該U溝の側壁面は $\{100\}$ 面および $\{110\}$ 面のみから構成されることを特徴とする半導体装置。

【請求項3】 前記U溝は互いに 135° の角度で交わる $\{100\}$ 面と $\{110\}$ 面とからなる8枚の側壁面を有し、該 $\{100\}$ 面および $\{110\}$ 面の表面をチャンネル領域とする請求項2記載の半導体装置。

【請求項4】 前記絶縁ゲート型半導体装置は面方位 $\{100\}$ 面のシリコン基板に形成される絶縁ゲート型半導体装置であり、前記U溝の側壁面は該 $\{100\}$ 面と直交する $\{100\}$ 面および $\{110\}$ 面のみから構成されることを特徴とする請求項2記載の半導体装置。

【請求項5】 前記絶縁ゲート型半導体装置は1つの4角形セルのまわりに4つの8角形セルを密に配置したユニットセルからなる平面パターンを有することを特徴とする請求項2記載の半導体装置。

【請求項6】 前記8角形セルの内部のみに第1導電型のソース領域および該ソース領域の下部の第1の第2導電型ベース領域が形成され、前記4角形セルの内部には該ソース領域が形成されず、第2の第2導電型ベース領域が形成されていることを特徴とする請求項4記載の半導体装置。

【請求項7】 前記第2の第2導電型ベース領域は、前記第1の第2導電型ベース領域と同等の不純物密度もしくは前記第1の第2導電型ベース領域よりも高不純物密度であることを特徴とする請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電力用半導体装置、特に縦型パワーMOSFET等の絶縁ゲート型半導体装置の構造に関する。

【0002】

【従来の技術】パワーMOSFETはバイポーラトランジスタと比較して駆動が容易、スイッチングスピードが速いなどの特徴を有しており広く使われているが、さらにオン抵抗の低減化やスイッチングスピードの高速化といった性能向上が進められている。パワーMOSFETの構造を電流経路の観点から分類すると、ドレイン電流が素子表面に対し垂直方向に流れる縦型と並行方向に流れる横型とがある。前者の縦型のパワーMOSFETでは、ドレイン電極を素子の底面側全面に設ける構造とな

るため、ドレイン電流がチップ全体にわたり流れることになり、オン抵抗を小さくできる。一方後者の横型パワーMOSFETでは、ドレイン電極を素子の表面側に設ける構造となるため、ドレイン電流が流れる領域は高々数 μm と狭く、同一チップ面積で両者を比較した場合、前者はほとんどオン抵抗を小さくできない。縦型であろうと横型であろうと実際の素子では、大電流を扱えるように、ユニットセルを構成するセルトランジスタを数万～数十万個のオーダで並列接続して構成する。

【0003】縦型パワーMOSFETのうちでも図9および図10に示すようなU溝内にゲート酸化膜21とゲート電極となる多結晶シリコン電極22を埋め込んだUMOS(U-grooved MOSFET)と呼ばれるパワーMOSFETがオン抵抗低減化の立場から優れている。図10は図9のB-B方向から見た断面図である。図10において、 n^+ 基板31をドレイン領域とし、 n^- エピタキシャル層32を n^- ドリフト領域、この n^- ドリフト領域32の上部のpベース領域33の内部に形成された n^+ 領域41をソース領域としている。また図10に示すように表面よりトレンチ(U溝)が掘られ、その表面にゲート酸化膜21が形成され、ゲート酸化膜21の表面にはU溝の内部を埋め込むようにポリシリコン等からなるゲート電極22が形成されている。また n^+ 基板31の裏面の全面にドレイン電極52が形成され、表面の n^+ ソース領域41から所定のコンタクトホールを介して金属ソース電極51が取り出された構造となっている。

【0004】図9、および図10のUMOSを動作させるためには、 n^+ ソース領域41に対しポリシリコンゲート電極22に正の電圧を印加すればよい。これによってゲート酸化膜21に隣接したpベース領域(p形ボディとも呼ばれる)33にn形チャンネルが誘起され、 n^+ ソース領域41と n^+ ドレイン領域31が短絡してドレイン電流が流れる。

【0005】パワーMOSFETの最も重要な特性としてオン抵抗があげられる。このオン抵抗を低減する方法は従来多く提案されており、たとえば、(1)セルトランジスタの微細化と幾何学的形状の工夫により単位面積あたりのゲート幅を大きくする、(2)シリサイド化により電極金属のコンタクト抵抗を下げる、(3) n^+ 基板の低抵抗化と n^- エピタキシャル成長層等の薄層化によりここでの抵抗小さくする、などの方法である。特に(1)の幾何学的形状の検討をしたUMOSとしてはシリコンクス社(Siliconix社)の、図11に示すような平面パターンを六角形にして、トレンチを形成したパワーMOSFETが知られている。図11で黒塗りされている部分が紙面に垂直方向にトレンチが形成されている部分である。

【0006】セルパターンの微細化に関しては、図9に示すようなU溝側壁面の面方位を統一できるストライプ

セルの場合、 g 線マスクアライナーによる限界寸法設計ではチャンネル密度、すなわち単位面積当りのチャンネル幅 W は $67\text{ cm}/\text{mm}^2$ が限界である。なぜなら、この場合、最小寸法 $1\text{ }\mu\text{m}$ 、合わせ精度 $0.3\text{ }\mu\text{m}$ の設計となり、 n^+ 領域 41 のストライプの幅は $0.5\text{ }\mu\text{m}$ 程度は必要となるため、図9に示した隣接する2本のトレンチの間隔すなわちトレンチのピッチは $3\text{ }\mu\text{m}$ が限界となるからである。

【0007】

【発明が解決しようとする課題】上述したオン抵抗の低減に際しては、特に低耐圧系のMOSFETでは、チャンネル抵抗の低減が最大の課題である。チャンネル抵抗は、上述したような微細化および幾何学的検討によりMOSFETのチャンネル密度を上げればある程度までは効果的に改善される。UMOS等のトレンチ型パワーMOSFETでは、トレンチ内部がゲート電極となるため、チップ上のFET領域の単位面積に対し、トレンチが有するチャンネル幅 W の総長をいかに上げてFETセルが形成することができるかがポイントである。たとえば、図11に示したシリコンのUMOSFETは正六角形のトレンチを有した基本セルであるため、六角柱6つの外面および対向する六角筒の6つの内面の計12面がMOSFETのチャンネル面を構成している。しかし、正六角形のトレンチの場合トレンチ側壁面に形成されるチャンネル面方位は、シリコン等の面心立方格子においては、結晶の対称性から $\{110\}$ 面が2/6で、残りの4/6は高指数のチャンネル面が占めることとなる。高次のミラー指数を有した面における電子の移動度が低いことに加え、製造技術上の問題として高次のミラー指数を有した面のトレンチ側壁は表面のラフネスが大きくなるという問題を伴うため、さらに表面移動度が低下している。このため、六角形セルの場合はチャンネル領域の電子の移動度が極めて低く、シリコン(Si)の垂直実効電界 $1\text{ MV}/\text{cm}$ で $64\text{ cm}^2/\text{V}\cdot\text{sec}$ 程度である。この値は、 $\{100\}$ 面や $\{110\}$ 面等の低次のミラー指数を有した面をチャンネルとした場合の移動度 $200\text{ cm}^2/\text{V}\cdot\text{sec}$ に比べ1/3程度の値で、低く、チャンネル密度が同じでもチャンネル抵抗が3倍増加することとなる。更にゲート電圧に対しての伝達アドミタンス $Y_{sf}(1/R_{on})$ の伸びが図12に示すように鈍く、所望の順方向電流を得るためにはゲート電圧が 10 V 以上必要であり、ゲート電圧 4 V 程度での低電圧駆動が要求されるロジック対応デバイスとしては適用できないという問題があった。

【0008】さらに、パワーMOSFETの重要な特性としては高耐圧化がある。したがってUMOSFETにおいてはトレンチコーナー部での電流集中の改善が重要な課題である。UMOSにおいてトレンチをFET領域に形成する場合、その平面パターン形状としては正三角形、正四角形と正六角形が従来知られているが、トレン

チパターンの、各角(コーナー部)のゲート酸化膜でゲート電界が強まるため、多角形を形成しているコーナー部で V_{th} が下がりチャンネル電流の偏りが発生するという問題があった。図7は正四角形(メッシュタイプの平面パターン)のトレンチセルを有するUMOSの電流集中を示す模式図である。図7(b)は図7(a)の○印で示したコーナー部の拡大図であるが、所定のゲート電圧 V_g を印加した場合、ポリシリコンゲート電極22の下部のゲート酸化膜21に包まれた○印で示したpベース領域33となるシリコンのコーナー部にゲート電界の集中がおこり、 V_{th} が低下し、電流集中が発生することがわかる。

【0009】上述した問題点を鑑み、本発明はUMOS、あるいはU溝を有したIGBT等の絶縁ゲート型半導体装置のU溝側壁に構成されるチャンネル面における電子の移動度が高く、オン抵抗の低い電力用半導体装置の新たな構造を提供することを目的とする。

【0010】本発明の他の目的は、UMOS等の絶縁ゲート半導体装置のトレンチ(U溝)コーナー部の電流集中を抑制することができる新たな構造の電力用半導体装置を提供することである。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明による半導体装置の第1の特徴はU溝中にゲート酸化膜とゲート電極層とを有するUMOS等の絶縁ゲート型半導体装置であって、U溝は低次のミラー指数を有する面のみからなる複数の側壁面を有し、この複数の側壁面のうちの、隣接する側壁面相互の交叉する内角が 120° 以上であることである。ここで低次のミラー指数を有する面とはウエーハメーカーが標準品として供給し、各種半導体装置で一般的に使われるような $\{100\}$ 面、 $\{110\}$ 面、 $\{111\}$ 面等を意味し、高次のミラー指数を有する面とはこれら以外の $\{332\}$ 面、 $\{411\}$ 面、 $\{911\}$ 面等を意味する。また側壁面相互の交叉する内角が 120° 以上とは、 120° の場合、すなわち正六角形の場合を含まない、正六角形以上の多角形の内角の角度となるような場合を意味する。

【0012】また、本発明による半導体装置の第2の特徴は半導体基板の表面に形成されたU溝中にゲート酸化膜とゲート電極層とを有する絶縁ゲート型半導体装置であって、U溝の側壁面は電子の移動度が大きな、 $\{100\}$ 面および $\{110\}$ 面のみから構成され、電子の移動度が小さい高次のミラー指数を有した面が含まれないことである。このように電子移動度の大きい面のみでU溝を構成することによりチャンネル抵抗すなわちオン抵抗が低減化できる。

【0013】好ましくは、図1に示すようにゲートが形成されるU溝は互いに 135° の角度で交わる $\{100\}$ 面と $\{110\}$ 面とからなる8枚の側壁面を有し、

この{100}面および{110}面の表面をチャンネル領域とすることである。図1には{100}面と直交する<100>方向、{110}面と直交する<110>方向を示した。図8はU溝を形成しているトレンチコーナー部の隣接する2つの側壁面が形成する角度(交叉する内角の角度)と、コーナー部の最大電界強度の関係を示したものである。図8の縦軸は平面部電界強度で規格化しているが、U溝のパターンが3角形→4角形→6角形となるに従い電界強度が緩和され、120°以上、すなわち8角形パターンの135°にすることにより、さらにコーナー部の電界強度が低下し、コーナー部でのVthの低下が抑制され、絶縁ゲート型半導体装置の電流集中が緩和される。なお、この場合U溝のゲート絶縁膜の形成される側で角度を測るか、U溝のシリコン側で角度を測るかにより、135°と360°-135°=225°と2つの角度の測り方があるが、実質的に8角形の内角であるかぎり、本発明では今後135°と呼ぶこととする。

【0014】好ましくは、絶縁ゲート型半導体装置は面方位{100}面のシリコン基板に形成される絶縁ゲート型半導体装置であり、U溝の側壁面は、基板表面の{100}面と直交する{100}面および{110}面のみから構成されることである。

【0015】また好ましくは、図1に示すように絶縁ゲート型半導体装置は1つの4角形セルのまわりに4つの8角形セルを密に配置したユニットセルからなる平面パターンを有することである。実際にはこのユニットセルが所望の動作電流に応じて、数千〜数十万繰り返し配置されることとなる。

【0016】さらに好ましくは、図1および図2に示すように8角形セルの内部のみに第1導電型のソース領域およびこのソース領域41の下部の第1の第2導電型ベース領域33が形成され、4角形セルの内部にはソース領域が形成されずに第2の第2導電型ベース領域34が形成されていることである。より好ましくは4角形セルにソース領域が形成されていない場合において、図4に示すようにさらに4角形セルにはそのU溝側壁がチャンネル領域となる第1の第2導電型ベース領域33と同等の不純物密度もしくは第1の第2導電型ベース領域33より高不純物密度の第2の第2導電型ベース領域37が形成されていることである。このような構成にすることにより、トレンチ底部での電界集中が緩和され、UMOS等の絶縁ゲート型半導体装置の高耐压化が可能となる。ここで、第1導電型とは、たとえばn型を意味し、第2導電型とは第1導電型と異なるp型を意味するが、pとnとを全く逆にしてもよいことはもちろんである。

【0017】

【発明の実態の形態】以下、図面を参照して本発明の実態の形態を説明する。図1は本発明の第1の実態の形態に係るUMOSの平面図で、図2は図1のA-A方向の

断面図である。図1に示すように本発明の第1の実態の形態に係るUMOSは一辺が、たとえば2μmの8角形セルとこの8角形セルに囲まれた正方形セルとを組み合わせた複合多角形セルパターンを有している。正方形セルの紙面に垂直方向の側面は{100}面であり、したがって正方形セルに対向した8角形セルのトレンチ側壁面は{100}面である。8角形セルの正方形セルに対向しないトレンチ側壁、すなわち隣接する8角形同士が対向する面は{110}面である。図1では一つの正方形セルの周辺に4つの8角形セルが配置されたパターンを示しているが、これはユニットセルパターンであり、実際はこのユニットセルパターンが数万個〜数十万個等、所望の電流値に応じて多数繰り返されることとなる。したがって、1つの8角形セルに着目すれば、1つの8角形セルの周辺に4つの正方形セルと4つの8角形セルが配置されていることとなる。図1のパターンのチャンネル密度、すなわち単位面積当りのチャンネル幅Wは81cm/mm²となり、図9に示したストライプセルでは67cm/mm²であるのに比してチャンネル密度が向上している。なお、図1の平面パターンを45°回転させて、正方形セルのU溝の側壁面を{110}面としてもよい。

【0018】図2は図1のA-A方向から見た本発明の第1の実態の形態に係るUMOSの断面図で、図1では省略している金属電極51、52等をも示している。図2においてはn⁺基板31をドレイン領域とし、その上に厚さ5〜30μmのnエピタキシャル成長層32が形成されnドリフト領域となり、その上のpベース領域33の内部に形成されたn⁺領域41をソース領域としている。nエピタキシャル成長層の厚みは所望のオン抵抗およびスイッチングスピードに応じて決定すればよい。また表面より深さ3μm、幅0.6〜0.8μmのU溝を形成し、その表面に厚さ50〜100nmのゲート酸化膜21を形成し、U溝の内部を埋め込むようにポリシリコン等からなるゲート電極22を形成している。またn⁺基板31の裏面の全面にドレイン電極52が形成され、表面のSiO₂等の絶縁膜29に形成されたコンタクトホールを介してn⁺ソース領域41から金属ソース電極51が取り出された構造となっている。図示を省略するが、図1に示すようなユニットセルパターンが多数繰り返されたチップ全体のレイアウトにおいて、レイアウト周辺部に配置されるユニットセルを構成する8角形セルのうち最も外側の8角形セルのU溝からゲート電極取り出し用のトレンチがさらに周辺部に向かって延長形成され、このゲート電極取り出し用トレンチの内部のポリシリコン配線を介してゲートボンディングパッド部に導かれている。なお、ポリシリコンゲート電極22のゲート抵抗が問題となる場合には、ドーパドポリシリコン(DOPOS)よりもW、Mo、Tiなどのような高融点金属あるいはWSi₂、MoSi₂、TiSi₂などのよ

うなシリサイドの方が望ましい。あるいはDOPOSとシリサイドとの複合膜、すなわちポリサイドでもよい。なお、ベレットの周辺部の図示は省略するが、ベレット周辺部は周知の接合終端技術を用いればよい。たとえばベレット周辺に n^+ ガードリング等の拡散層を形成して、その上にフィールドプレート（等電位プレート）等の金属パターンを形成してもよく、ベベル構造を用いてもよい。

【0019】図1および図2に示した本発明の第1の実施の形態に係るUMOSの動作は通常のUMOSとほぼ同様の動作である。したがってpベース領域33の不純物密度、厚み、およびpベース領域33とU溝との界面の表面準位によってエンハンスメント型、又はディプリーション型のいずれも構成できる。エンハンスメント型で説明するならば、埋め込みゲート電極22に正の電位を印加することによりpベース層33を貫通するように形成されたU溝の{100}面および{110}面からなる表面付近にnチャンネルが形成され本発明のUMOSはターンオンする。つまり、nチャンネル中のポテンシャルバリアを越えた電子はnドリフト領域32に注入される。nドリフト領域32中の高電界により、注入された電子はドリフト走行し、 n^+ ドレイン領域31に到達する。高周波動作のためにはpベース領域33は十分薄くすればよい。 n^+ ドレイン領域31からの電界強度がpベース領域33の表面のnチャンネル中のポテンシャルバリアの高さを制御するようになれば図1および図2に示したUMOSは静電誘導トランジスタ（SIT）の動作になり、 $I_s - V_s$ 特性は飽和型から不飽和型へ変わる。

【0020】本発明の第1の実施の形態によれば、Si表面での実効電界 $1\text{MV}/\text{cm}$ におけるチャンネルの平均移動度が $200\text{cm}^2/\text{V}\cdot\text{sec}$ となる。又伝達アドミッタンス Y_{fs} 特性も図3に示すよう向上する。図3は比較する各UMOSの伝達アドミッタンスが $V_g = 10\text{V}$ で同一となるように規格化している。したがって、上述したチャンネル密度の向上を考慮すれば、同一チップ面積当りの伝達アドミッタンス Y_{fs} は（100）面のU-MOSFETより大きくなる。又、8角形セルのコーナー部内角の角度が 135° となるため、コーナー部での電界集中がなくなり、したがって V_{th} の低下や電流集中がなくなる。

【0021】本発明の第1の実施の形態に係るUMOSは以下のような製造工程で製造すればよい。

【0022】（a）まず不純物密度 $n = 2 \times 10^{18} - 1 \times 10^{19}\text{cm}^{-3}$ の n^+ 基板31の上に不純物密度 $n = 5 \times 10^{12} - 5 \times 10^{13}\text{cm}^{-3}$ のn層32を $5 - 30\mu\text{m}$ の厚さにエピタキシャル成長する（一定の場合には、n層32のかわりに $p = 5 \times 10^{12} - 10^{13}\text{cm}^{-3}$ のp層でもよい。）この連続エピタキシャル成長は、Siの場合は SiCl_4 、 SiHCl_3 、 SiH_2Cl_2 と水

素による気相エピタキシャル成長等を用いればよい。SiH₄の熱分解反応を用いてもよい。次にフォトリソグラフィの手法を用いて不純物密度 $2 \times 10^{16} - 1 \times 10^{18}\text{cm}^{-3}$ のpベース領域33、34を拡散深さ $2 \sim 3\mu\text{m}$ で、選択拡散する。選択拡散はフォトレジスト又は酸化膜（ SiO_2 膜）をマスクとして B^+ のイオン注入を加速電圧 $V_{ac} = 50\text{keV} \sim 100\text{keV}$ 、ドーズ量 $\Phi = 5 \times 10^{12} \sim 2 \times 10^{14}\text{cm}^{-2}$ で行ってもよいし、塗布拡散や気相からの拡散を用いてもよい。なお、必要があれば、8角形パターン等の形成が予定されるデバイス領域（活性領域）周辺のエピタキシャル層表面には厚い絶縁膜をフィールド酸化膜として形成してから、デバイス領域のみにフィールド酸化膜よりも薄い酸化膜等を形成してから選択拡散してもよいが、場合によってはフィールド酸化膜の形成工程は省略することも可能である。フィールド酸化膜はLOCOS法等の周知の方法で形成すればよい。いずれにしてもpベース領域33、34形成後、その表面には $100 \sim 350\text{nm}$ の酸化膜を形成する。

【0023】（b）次にフォトレジストを用いた通常のフォトリソグラフィ技術により、酸化膜の所定の部分をエッチング除去し、図1に示すような8角形と4角形とからなる複合パターンを基本としたパターンからなる開孔部を酸化膜中に形成し、酸化膜エッチング後にこのフォトレジストを除去する。次にこの酸化膜をマスクとしてエピタキシャル成長層32をpベース領域33を貫通するまで、たとえば $3\mu\text{m}$ の深さにトレンチエッチングする。トレンチエッチング（U溝エッチング）はたとえば反応性イオンエッチング（RIE）等のドライエッチングを用いればよい。すなわち、nエピタキシャル成長層32を、たとえば CF_4 と H_2 の混合ガスを用いて、エッチング圧力 1.3Pa に調整し 13.56MHz の高周波電力を、例えば $0.22\text{W}/\text{cm}^2$ 加えてRIEを行なえばよい。あるいは SF_6 と O_2 との混合ガス、あるいは CCl_4 、 SiCl_4 、 PCl_5 等でRIEを行ってもよい。アスペクト比が大きいU溝の場合は基板を $-50^\circ\text{C} \sim -150^\circ\text{C}$ に冷却してエッチングすることも有効である。

【0024】（c）次に、犠牲酸化やウエットエッチあるいはガスエッチングによりU溝エッチングによる加工ダメージ層を除去した後 $30\text{nm} \sim 100\text{nm}$ のゲート酸化膜21を図2に示すようにU溝表面に形成する。この後、たとえば磷（P）を含んだドーパドポリシリコン（以下DOPOSという）を減圧CVD（LPCVD）法等により堆積し、U溝を完全に埋め、エッチバック等により表面を平坦化し埋め込みゲート電極22を形成し、必要があれば、さらにその表面を酸化する。平坦化にはいわゆる化学的機械研磨（Chemical Mechanical Polishing; 以後CMPと呼ぶ）を用いてもよい。n型DOPOSでもよい

が、エンハンスメント特性を高めるにはp型DOPOSの方がよい。前述したように、ゲート抵抗を下げるためにはW、Mo、Ti等の高融点金属、またはWSi₂、MoSi₂、TiSi₂などのようにシリサイド、あるいは、p型DOPOSを用いたポリサイドの方が望ましい。高融点金属は蒸着、スパッタ法でも堆積できるが、CVD法、特に減圧CVD法(LPCVD法)による選択CVD(プラグ)が望ましい。平坦化の際には、nエピタキシャル層33の表面には極く薄く表面酸化膜が残るようにしてもよい。

【0025】(d)この表面酸化膜をスライトエッチし、nエピタキシャル成長層33を露出させ、フォトリソグラフィを用いて、たとえばフォトレジストをマスクとして¹¹As⁺、¹¹P⁺等をソース領域とすべき場所にイオン注入する。同様にフォトレジスト等をマスクとして¹¹B⁺をドーズ量Φ=3×10¹³~2×10¹⁵cm⁻²で選択的にイオン注入して、p⁺コンタクト領域35を形成する。その後800~1000℃で15~30分程度アニールしてイオン注入層を活性化させる。

【0026】(e)次に常圧CVD(APCVD)又はLPCVD法等により、SiO₂膜又はSiO₂膜とPSG膜との複合膜あるいはSiO₂膜とBPSG膜との複合膜29(以下これらのSiO₂膜および複合膜を総称してSiO₂膜29という)をnエピタキシャル成長層32の表面に300~500nmの厚さに形成する。

【0027】(f)次にフォトリソグラフィ技術により上記SiO₂膜29の所定の部分、すなわちpベース領域33とn⁺ソース領域41との共通部分、および、p⁺コンタクト領域35上部にコンタクトホールを開孔する。コンタクトホール開口はC₃F₄、又はCHF₃等を用いたRIEやECR(Electron Cyclotron Resonance)イオンエッチによって行なえばよい。

【0028】(g)次にコンタクトホール開孔部に蒸着、スパッタ、CVD法等によりAl、Al-Si、Al-Cu-Si、Al/Ti、Al/Mo等の金属を0.5~4μmの厚さに全面に堆積し、その後フォトリソグラフィおよびRIE等により金属電極のパターン形成を行ない、さらに裏面にも同様にW、Al/Mo、あるいはAl-Si等の金属を堆積すれば、図2に示したように金属ドレイン電極52、金属ソース電極51が形成され、本発明の第1の実施の形態に係る半導体装置が完成する。

【0029】図4は本発明の第2の実施の形態に係るUMOSの平面図である。8角形セルと正方形セルとからなる組み合わせであることは本発明の第1実施の形態と同様であるが、本発明の第2の実施の形態においては、正方形セルの内部には8角形セルのpベース領域33よりも、深いp⁺ベース領域37、38が形成されている。なおp⁺領域38は、後に製造方法の説明において述べ

るが埋め込みエピタキシーによる場合のp⁺埋め込み領域を表わすものであり、実質的にはp⁺ベース領域37と一体の領域と考えてよい。図4においてはpベース領域33の中央部上部には不純物密度2×10¹⁸~1×10²⁰cm⁻³のp⁺コンタクト領域36が形成され、pベース領域33に対するソース金属電極51のオーミックコンタクトをより良好なものとしている(ただしp⁺コンタクト領域36を省略してもかまわない)。p⁺ベース領域37、38の不純物密度はpベース領域33と同程度でもよいが、好ましくは1×10¹⁸~6×10¹⁹cm⁻³程度に、pベース領域33よりも高不純物密度に形成する。本発明の第2の実施の形態においてはp⁺ベース領域37、38はpベース領域33よりも深く、たとえばpベース領域の深さ2μmに対して、p⁺ベース領域37、38は2.5~3μmの深さに形成する。

【0030】本発明の第2の実施の形態によれば、トレンチ底部でのドレイン/ソース電界の集中が抑えられ高耐圧化が可能となる。

【0031】本発明の第2の実施の形態に係るUMOSは以下のような製造工程にすればよい。

【0032】(a)まず不純物密度n=2×10¹⁸~1×10¹⁹cm⁻³のn基板31の上に不純物密度n=5×10¹²~1×10¹⁵cm⁻³のn層32を5~30μmエピタキシャル成長する。この連続エピタキシャル成長は、Si₂H₆やSiH₄の熱分解、又はSiCl₄、SiHCl₃、SiH₂Cl₂と水素との反応による気相エピタキシャル成長を用いればよい。次にフォトリソグラフィの手法を用いて4角形セル部分のみに選択的に¹¹B⁺をイオン注入する。たとえば加速電圧V_{ac}=200keV~1.5MeV、ドーズ量Φ=1×10¹³~2×10¹⁵cm⁻²でイオン注入すればよい。V_{ac}=1.5MeVにおける¹¹B⁺の投影飛程R_pは約2.4μmとなる。好ましくはV_{ac}=750keV程度で投影飛程R_p=1.5μm付近に¹¹B⁺をイオン注入し、その後1150℃で3時間熱処理をすればよい。

【0033】(b)次に再びフォトリソグラフィを用いて不純物密度2×10¹⁸~1×10¹⁹cm⁻³のpベース領域33を拡散深さ2~3μmで、8角形セルの部分に選択拡散する。この時4角形セル部にも同時に拡散してもかまわない。選択拡散は¹¹B⁺のイオン注入を加速電圧V_{ac}=50keV~100keV、ドーズ量Φ=5×10¹²~2×10¹⁴cm⁻²で行ってもよいし、塗布拡散や気相からの拡散を用いてもよい。なお必要があれば、8角形パターン等の形成が予定されるデバイス領域の周辺のエピタキシャル層表面には0.6~1.5μmのフィールド酸化膜を形成してから、デバイス領域のみにフィールド酸化膜よりも薄い選択拡散のマスクとなる酸化膜を形成してもよい。たとえば300~400nmの酸化膜をマスクとして選択拡散すればよい。イオン注入後のアニールを酸化性雰囲気で行なえばpベース領域3

3、pベース領域37が形成されたエピタキシャル成長層32の表面には100~350nmの酸化膜が形成されることとなる。

【0034】(c)次にフォトレジストを用いた通常のフォトリソグラフィ技術により、上記100~350nm酸化膜の所定の部分をエッチング除去し図1に示すような8角形と4角形とからなる複合パターンを基礎とした開孔部をこの酸化膜中に形成し、次にこのフォトレジストを除去する。さらに、酸化膜をマスクとしてエピタキシャル成長層32をpベース領域33を貫通するまでたとえば3μmの深さでU溝エッチングをする。エッチングはたとえばCF₄とH₂の混合ガス、SF₆とO₂との混合ガス、CCl₄、SiCl₄、PCl₅等でRIEを行えばよい。アスペクト比が大きいU溝の場合は基板を-50℃~-150℃に冷却してエッチングすることもある。

【0035】(d)次に犠牲酸化やウエットエッチあるいはガスエッチングによりU溝エッチングによる加工ダメージ層を除去した後30nm~100nmのゲート酸化膜21を図4に示すようにU溝表面に形成する。その後、たとえば燐(P)を含んだDOPOSを減圧CVD(LPCVD)法等により堆積し、U溝を完全に埋め、エッチバック等により表面を平坦化し埋め込みゲート電極22を形成する。必要があれば、さらにその表面を酸化する。平坦化はいわゆるCMPを用いてもよい。n型DOPOSでもよいが、エンハンスメント特性を高めるにはp型DOPOSの方がよい。また、ゲート抵抗を下げるためにはW、Mo、Ti等の高融点金属、またはWSi₂、MoSi₂、TiSi₂、CoSi₂、PtSi₂などのようなシリサイド、ボリサイドの方が望ましい。高融点金属は蒸着、スパッタ法でも堆積できるが、CVD法、特に減圧CVD法(LPCVD法)による選択CVD(プラグ)が望ましい。平坦化の際には、nエピタキシャル層33の表面には極く薄く表面酸化膜が残るようにすることが好ましい。

【0036】(e)この表面酸化膜をスライトエッチし、nエピタキシャル成長層33を露出させ、フォトリソグラフィを用いて、たとえばフォトレジストマスクとして、³¹As⁺、³¹P⁺等をソース領域とすべき場所にイオン注入する。同様にフォトレジスト等をマスクとして¹¹B⁺をドーズ量Φ=3×10¹⁵~2×10¹⁶cm⁻²で選択的にイオン注入して、p⁺コンタクト領域36を形成する。その後800~1000℃で15~30分程度アニールしてイオン注入層を活性化させる。

【0037】(f)次に常圧又は減圧CVD法等により、SiO₂膜29をnエピタキシャル成長層32の表面に300~500nmの厚さに形成する。

【0038】(g)次にフォトリソグラフィ技術により上記SiO₂膜29の所定の部分、すなわちpベース領域33とn⁺ソース領域41との共通部分、および、p

⁺ベース領域37の上部にコンタクトホールを開孔する。コンタクトホール開口はC、F。又はCHF₃等を用いたRIEやECRIオンエッチによって行なえばよい。

【0039】(h)次にコンタクトホール開口部に蒸着、スパッタ、CVD法等によりAl、Al-Si、Al/Ti、Al/Mo等の金属を0.5~4μmの厚さに全面に堆積し、その後フォトリソグラフィおよびRIE等により金属電極のパターン形成を行い、さらに裏面にも同様に金属を堆積すれば、図4に示したように金属ドレイン電極52、金属ソース電極51が形成され本発明の半導体装置が完成する。

【0040】なお、以上の説明において、深いp⁺ベース領域37をV_{ac}=200keV~1.5MeVの高エネルギーイオン注入で形成する場合について説明したが、p⁺ベース領域37がさらに深い場合、又は高エネルギーイオン注入に伴うダメージが問題となる場合はp⁺領域の埋め込みエピタキシーによってもよい。すなわち、nエピタキシャル成長を途中で一旦止めて、図4に示すように下に凸形状となったp⁺ベース領域37の底部の部分に1×10¹⁸~1×10¹⁹cm⁻³程度のp⁺埋め込み領域38を形成し、さらに続けてnエピタキシャル成長を行なえばよい。そして、nエピタキシャル成長層32が完成後、p⁺埋め込み領域38に該当する場所のnエピタキシャル成長層32の上部からイオン注入等を用いてp⁺拡散を行ない、このp⁺拡散層37とp⁺埋め込み領域38とを接続するようにしてもよい。

【0041】図5は本発明の第3の実施の形態に係るUMOSの平面図である。8角形セルと正方形セルとなる組み合わせであることは本発明の第1および第2の実施の形態と同様であるが、本発明の第3の実施の形態においては、トレンチ部をなす8角形の側面を構成する{100}面を{110}面よりも広くしている点が異なる。移動度のより大きな{100}面の面積を広くすることにより、全体としての(総合的な)電子の移動度が大きくなり、オン抵抗は本発明の第1および第2の実施の形態に比し、さらに小さな値となる。本発明の第3の実施の形態に係るUMOSの製造方法は、第1および第2の実施の形態の場合と同様であるのでここでは説明を省略する。

【0042】本発明はMOSFETに限らず、他の半導体装置にも適用できる。図6は本発明の第4の実施の形態に係る縦型のIGBTの断面図を示す。図6においてp⁺コレクタ領域61にn⁺バッファ層62が形成され、さらにその上に低不純物密度の厚さ30~150μmのn⁻ベース領域63が形成され、その上部にpベース領域33、p⁺ベース領域37が形成されている。n⁻ベース領域63の表面から幅0.6~0.8μm、深さ3μmのU溝が形成され、底部および側壁部には50~100nm程度の薄いゲート酸化膜21が形成されて

いる。この薄いゲート酸化膜21の表面にはポリシリコン等からなる埋め込みゲート電極22が設けられている。pベース領域33の表面にはn⁺エミッタ領域64が形成され、pベース領域33とn⁺エミッタ領域64を短絡するように金属エミッタ電極71が形成されている。又、pベース領域33の表面にはp⁺コンタクト領域36が形成されている。なお、図6の中央部は四角形セルに対応する部分で、深いp⁺ベース領域37が形成されているが、本発明の第1の実施の形態と同様に8角形セルおよび4角形セルのpベース領域の深さは同じでもよい。4角形セルのpベース領域を深くするか否かはIGBTの耐圧や製造コストを考慮して決定すればよいことである。また、p⁺コレクタ領域61の表面には金属コレクタ電極が設けられている。

【0043】次に本発明の第4の実施の形態に係るIGBTの動作について説明する。IGBTのターンオンは、金属エミッタ電極71が接地され、金属コレクタ電極72に正電圧が印加された状態でポリシリコンゲート電極22に金属エミッタ電極71に対して正電圧を印加することにより実現される。ポリシリコンゲート電極22に正電圧が印加されると、MOSFET同様p型ベース領域33のU溝側壁の{100}面および{110}面の表面に反転チャンネルが形成されn⁺エミッタ領域64から反転チャンネルを通してn⁻ベース領域63内に電子が注入する。これに対し、p⁺コレクタ領域61からn⁺バッファ層62を介してベース領域63内にホールの注入が起これ、p⁺コレクタ領域61とn⁻ベース領域63のpn接合は順バイアス状態となり、n⁻ベース領域63が伝導度変調を起こし、素子を導通状態に導く。IGBTのオン状態では、以上のように高抵抗であるn⁻ベース領域63が伝導度変調を生ずるため、その抵抗成分が極めて小さくなる。したがって、n⁻ベース領域63の不純物密度が低く、厚さの厚い高耐圧素子であってもオン抵抗の極めて小さい特性が得られる。一方、IGBTのターンオフは、ポリシリコンゲート電極22にエミッタ電極71に対して負電圧を印加することにより実現される。ポリシリコンゲート電極22に負電圧が印加されるとU溝の{100}面および{110}面に形成された反転チャンネルは消滅し、n⁺エミッタ領域64からの電子の流入は止まる。しかし、n⁻ベース領域63内には依然として電子が存在する。n⁻ベース領域63内に蓄積したホールの大部分はpベース領域33を通り、n⁺エミッタ領域64へ流入するが一部は、n⁻ベース領域63内に存在する電子と再結合して消滅する。n⁻ベース領域63内に蓄積したホールおよび電子がすべて消滅した時点で素子は阻止状態となり、IGBTのターンオフが完了する。

【0044】図6ではn⁺バッファ層62が形成されたIGBTが示されているが、高耐圧が不要な場合等はn⁺バッファ層62は省略してもよい。またコレクタシ

ート型IGBT、ショットキードレインコンタクトIGBT等他のIGBTや、IGBT以外のEST(Emitter Switched Thyristor)、MCT(MOS Controlled Thyristor)等の他の絶縁ゲート型半導体装置へ適用できることはもちろんである。

【0045】なお以上の各実施の形態ではnチャンネル型UMOSおよびnチャンネル型IGBT等のnチャンネル型半導体装置について説明したが、導電型を逆にしpチャンネル型としてもよいことは勿論である。また上記本発明の各実施の形態では、UMOSおよびIGBTについて説明したが、これ以外の絶縁ゲート型半導体装置、例えばBRT(Base Resistance Controlled Thyristor)、MAGT(MOS Assisted Gate Triggered Thyristor)、DMT(Depletion Mode-Thyristor)、SISイリスタ(SITH)をMOS駆動したMCSITH(Mos Controlled SITH)、あるいはその他のMOSサイリスタ、MOSGTO等に適用可能であることも勿論である。例えばMAGTはプロシーディング・オブザ・アイエスピーエスデー(Proc. ISPSD)の1990年の第277頁等に詳細に記載されているように、電流駆動用のベースとMOSゲートの二つの制御端子をもつMOS複合半導体素子であるが、本発明が適用できることは容易に理解されるであろう。またSiデバイスに限定する必要はなく、その他立方晶形を有する半導体基板を用いた各種の半導体素子に適用でき、α-SiCでパワーMOSデバイスを構成すれば、特に600℃以上の高温においても動作可能な、大面積・大電流のパワーデバイスが実現される。また、GaAs-GaAlAsヘテロ接合による絶縁ゲート構造の半導体装置やInPの表面に形成したSiO₂膜によるMOS半導体装置等の他の絶縁ゲート型半導体装置に適用できることも、もちろんである。

【0046】

【発明の効果】本発明によれば、UMOS等の絶縁ゲート型半導体装置のトレンチ(U溝)におけるチャンネル中の電子の移動度を大きくすることができるので、オン抵抗が低減化され、導通ロスが小さく、又高速スイッチングが可能となる。

【0047】さらに本発明によれば、トレンチコーナ部の内角の角度が135°と大きいので、コーナ部での電界集中が抑制され、電流集中が発生しにくくなり、したがってパワーMOSFET等の絶縁ゲート型半導体装置の高耐圧化、大電流化が容易となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るUMOSの平面図である。

【図2】本発明の第1の実施の形態に係るUMOSの断

面図である。

【図3】本発明の第1の実施の形態に係るUMOSの順方向特性を示す図である。

【図4】本発明の第2の実施の形態に係るUMOSの断面図である。

【図5】本発明の第3の実施の形態に係るUMOSの平面図である。

【図6】本発明の第4の実施の形態に係るIGBTの断面図である。

【図7】トレンチコーナー部の電流集中を説明する図である。 10

【図8】トレンチコーナーの角度と、このコーナー部の電界強度との関係を示す図である。

【図9】従来のストライプセル型UMOSの平面図である。

【図10】図9に示した従来のストライプセル型UMOSの断面図である。

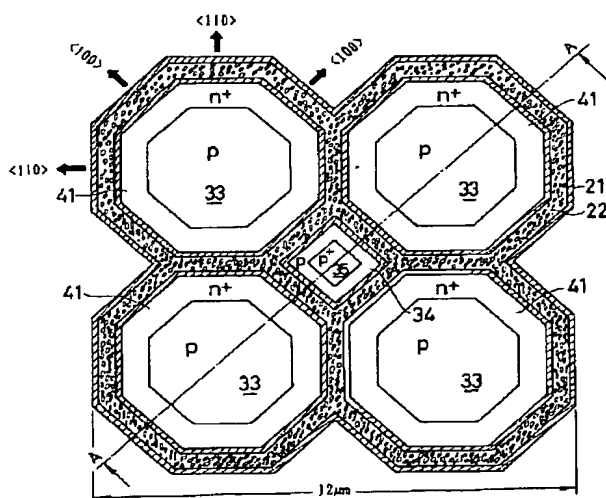
【図11】従来の六角形セルの平面図である。

【図12】従来のUMOSのゲート電圧と伝達アドミタンスとの関係を示す図である。 *20

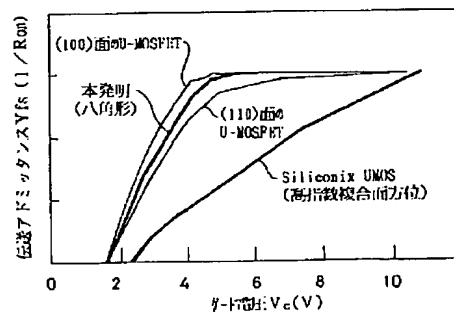
*【符号の説明】

- 21 ゲート酸化膜
- 22 ポリシリコンゲート電極
- 29 フィールド酸化膜
- 31 n⁺ 基板 (n⁺ ドレイン領域)
- 32 nエピタキシャル成長層 (nドリフト領域)
- 33 pベース領域
- 34 p領域
- 35, 36 p⁺ コンタクト領域
- 37 p⁺ 領域
- 38 p⁺ 埋め込み領域
- 41 n⁺ ソース領域
- 51 ソース金属電極
- 52 ドレイン金属電極
- 61 p⁺ 基板 (p⁺ コレクタ領域)
- 62 nバッファ層
- 63 n⁻ ベース領域
- 64 n⁺ エミッタ領域
- 71 エミッタ金属電極
- 72 コレクタ金属電極

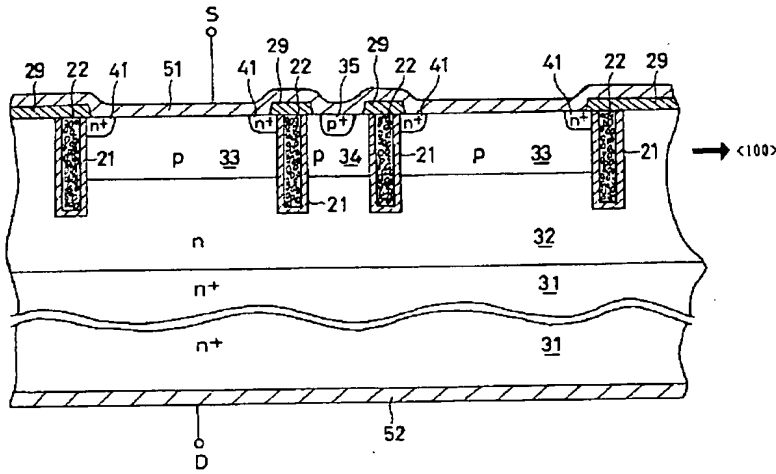
【図1】



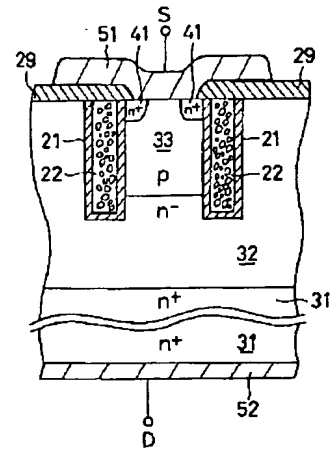
【図3】



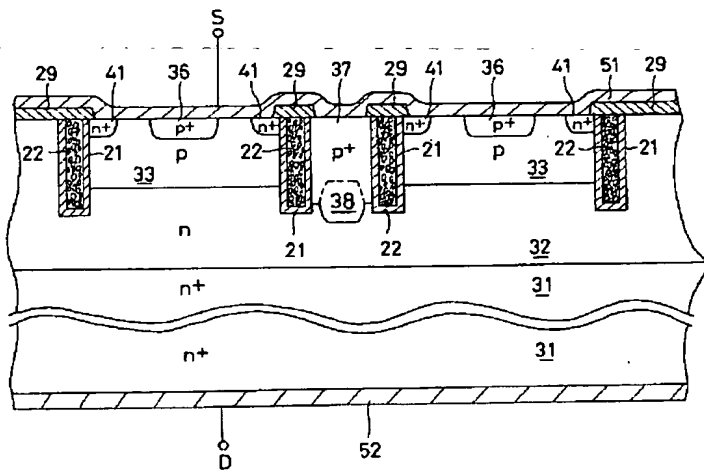
【図2】



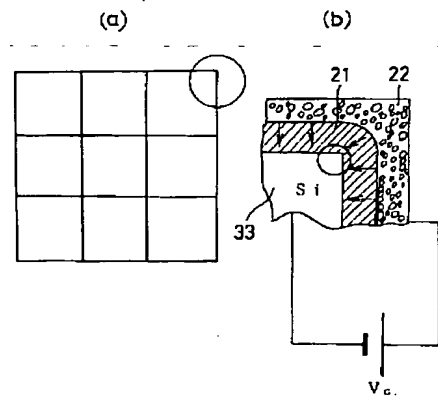
【図10】



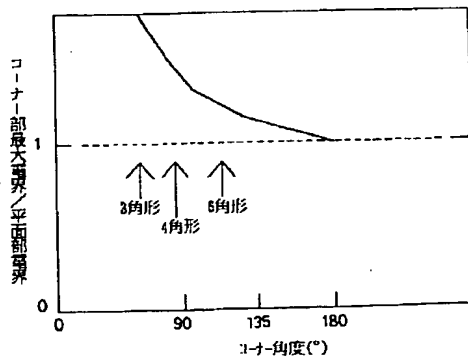
【図4】



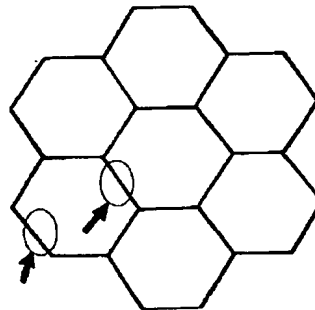
【図7】



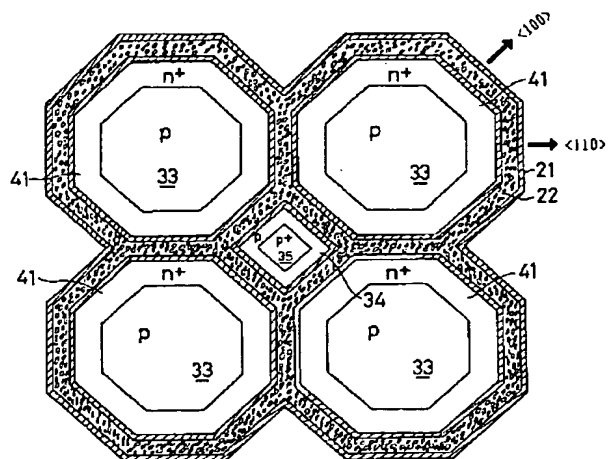
【図8】



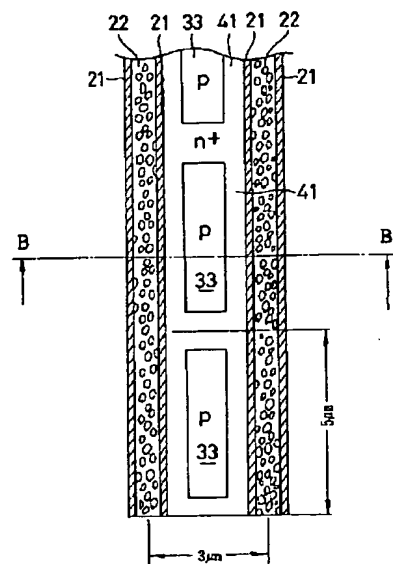
【図11】



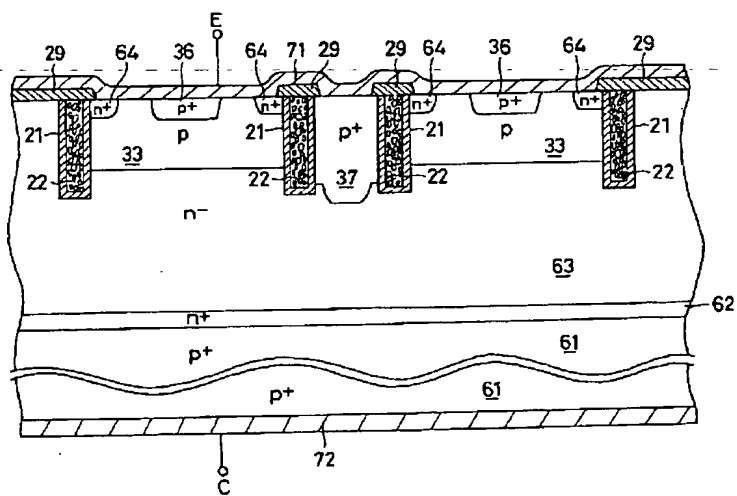
【図5】



【図9】



【図6】



【図12】

